

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Satoru KISHIMOTO

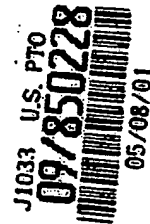
GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: PLACEMENT AND ROUTING METHOD FOR CLOCK DISTRIBUTION CIRCUIT, CLOCK
DISTRIBUTION CIRCUIT MANUFACTURING METHOD, SEMICONDUCTOR DEVICE
MANUFACTURING METHOD, CLOCK DISTRIBUTION CIRCUIT AND SEMICONDUCTOR DEVICE



#3

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-228418	July 28, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1033 U.S. PTO
09/850228
05/08/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月28日

出 願 番 号

Application Number:

特願2000-228418

出 願 人

Applicant(s):

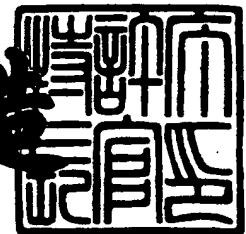
三菱電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3070257

【書類名】 特許願

【整理番号】 525025JP01

【提出日】 平成12年 7月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

 【氏名】 岸本 悟

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 クロック分配回路の配置配線方法、クロック分配回路の製造方法、半導体装置の製造方法、クロック分配回路、および半導体装置

【特許請求の範囲】

【請求項 1】 クロックを受信し負荷回路へ供給するクロック分配回路の配置配線方法であって、

(a) 前記クロック分配回路を構成し入力容量が共通する素子群を仮に配置配線する工程と、

(b) クロックスキューの評価値が目標値以下となるまで、前記素子群に属する素子を、駆動能力が異なる複数のドライバ素子、出力端が開放されたドライバ素子、および入力端と安定電位線の間に介挿される容量素子、から成る群から選択され互いに入力容量が共通する複数の素子の間で選択的に置換する工程と、を備えるクロック分配回路の配置配線方法。

【請求項 2】 前記工程(b) が、前記クロックスキューの前記評価値が前記目標値以下となるまで、前記素子群に属する素子を、ドライバ素子と、当該ドライバ素子と同一で出力端が開放されたドライバ素子との間で、選択的に置換する、請求項 1 に記載のクロック分配回路の配置配線方法。

【請求項 3】 前記工程(b) が、前記クロックスキューの前記評価値が前記目標値以下となるまで、前記素子群に属する素子を、入力容量が共通するドライバ素子と、入力端と安定電位線の間に介挿される容量素子との間で、選択的に置換する、請求項 1 に記載のクロック分配回路の配置配線方法。

【請求項 4】 前記工程(b) が、前記クロックスキューの前記評価値が前記目標値以下となるまで、前記素子群に属する素子を、互いに駆動能力が異なり入力容量が共通するとともに入力端と出力端の位置が共通する複数のドライバ素子の間で選択的に置換する、請求項 1 に記載のクロック分配回路の配置配線方法。

【請求項 5】 クロックを受信し負荷回路へ供給するクロック分配回路の配置配線方法であって、

(a) 前記クロック分配回路を構成し入力端と出力端の位置が共通するドライバ素子群を仮に配置配線する工程と、

(b) クロックスキューの評価値が目標値以下となるまで、前記ドライバ素子群に属するドライバ素子を、駆動能力が異なり入力端と出力端の位置が共通する複数のドライバ素子の間で選択的に置換する工程と、を備えるクロック分配回路の配置配線方法。

【請求項 6】 (A) 請求項 1 ないし請求項 5 のいずれかに記載のクロック分配回路の配置配線方法を用いてクロック分配回路を配置配線する工程と、

(B) 前記工程で配置配線された前記クロック分配回路を、半導体基板へ作り込む工程と、を備えるクロック分配回路の製造方法。

【請求項 7】 (A) 請求項 1 ないし請求項 5 のいずれかに記載のクロック分配回路の配置配線方法を用いてクロック分配回路を配置配線する工程と、

(B) 前記工程で配置配線された前記クロック分配回路と、当該クロック分配回路によるクロックの供給を受ける負荷回路とを、半導体基板へ作り込む工程と、を備える半導体装置の製造方法。

【請求項 8】 クロックを受信し負荷回路へ供給するクロック分配回路であって、

駆動能力が異なる複数のドライバ素子、出力端が開放されたドライバ素子、および入力端と安定電位線の間介挿される容量素子、から成る群から選択され互いに入力容量が共通する複数の素子を備える、クロック分配回路。

【請求項 9】 前記複数の素子が、ドライバ素子と、当該ドライバ素子と同一で出力端が開放されたドライバ素子とを含んでいる、請求項 8 に記載のクロック分配回路。

【請求項 10】 前記複数の素子が、入力容量が共通するドライバ素子と、入力端と安定電位線の間介挿される容量素子とを含んでいる、請求項 8 に記載のクロック分配回路。

【請求項 11】 前記複数の素子が、互いに駆動能力が異なり入力容量が共通するとともに入力端と出力端の位置が共通する複数のドライバ素子を含んでいる、請求項 8 に記載のクロック分配回路。

【請求項 12】 クロックを受信し負荷回路へ供給するクロック分配回路であって、

駆動能力が異なり入力端と出力端の位置が共通する複数のドライバ素子を備える、クロック分配回路。

【請求項 1 3】 請求項 8 ないし請求項 1 2 のいずれかに記載のクロック分配回路と、

前記クロック分配回路によるクロックの供給を受ける負荷回路と、を備える半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、クロック分配回路の配置配線方法、クロック分配回路の製造方法、半導体装置の製造方法、クロック分配回路、および半導体装置に関し、特に、クロックスキューの調整を高精度かつ容易に行うための改良に関する。

【 0 0 0 2 】

【従来の技術】

L S I（大規模集積回路）では、当該回路に含まれるすべての順序素子（例えば、フリップフロップ）に同時にクロックを供給することは容易ではなく、順序素子の間で、供給を受けるクロックに時間差が生じる。この時間差は、クロックスキューと称される。特に、L S I を高速度で動作させる場合には、クロックスキューはきわめて小さい値である必要があり、高精度でのクロックスキューの調整が要求される。

【 0 0 0 3 】

クロックスキューの要因として、順序素子が配置される位置の不均一性、隣接する配線の間での配線長の差あるいは層間配線の交差率の差による配線容量の不均一性等が挙げられる。そのため、クロックスキューが小さいクロック分配回路を設計するためには、まずクロックの供給を受ける回路（本明細書では、「負荷回路」と記載する）の配置および配線（当分野では、双方が「配置配線(placement and routing)」と総称される）を行い、その後にクロック分配回路を設計するのが望ましい。しかしながら、クロック分配回路は半導体チップの全体に分布するように配設されるため、クロック分配回路の設計が終了しない限り、最終的

な配置配線は確定しないという本質的な矛盾が存在する。

【 0 0 0 4 】

従来のクロック分配回路のレイアウト設計方法として、特開平 9 - 2 6 9 8 4 7 号公報に記載される技術が知られている。この従来技術では、クロック分配回路を構成するドライバ素子の各々の位置に、特性の異なる 2 個以上のドライバ素子を配置し、いずれか 1 つを選択することでクロックスキューの調整が行われる。

【 0 0 0 5 】

図 1 0 は、この従来技術によるクロックスキュー調整前のクロック分配回路の構成を示す回路図である。このクロック分配回路では、入力されるクロック C L K は、縦列接続（すなわちカスケード接続）されたドライバ素子 4 a, 4 b, 4 c を有するプリドライバ回路 1 を通じて、ドライバ素子 4 d ~ 4 i を有するメインドライバ回路 2 へ分配される。メインドライバ回路 2 は、順序素子 7 a ~ 7 g と、メインドライバ回路 2 と順序素子 7 a ~ 7 g とをつなぐクロック配線とを有する負荷回路 3 へ、クロックを供給する。初段に位置するプリドライバ回路 1 と最終段に位置するメインドライバ回路 2 とは、縦列接続されている。

【 0 0 0 6 】

図 1 1 はクロックスキュー調整後のクロック分配回路の構成を示す回路図である。図 1 1 の例では、メインドライバ回路 2 に属するドライバ素子 4 d, 4 e が、駆動能力と入力容量とがより大きいドライバ素子 5 a, 5 b に置き換えられ、さらに、ドライバ素子 4 g, 4 h が駆動能力と入力容量とがより小さいドライバ素子 6 a, 6 b へ置き換えられることによって、クロックスキューが調整されている。

【 0 0 0 7 】

図 1 2 は、上記の従来技術によるクロック分配回路の配置配線方法の手順を示すフローチャートである。この方法では、まず、クロック分配回路の回路設計が行われ（S 1）、つぎにクロック分配回路を含むチップ全体の配置配線が行われる（S 2）。ステップ S 2 の段階では、クロック分配回路の配置配線は、仮の配置配線である。つづいて、クロックスキューの値が計算され（S 3）、計算され

たクロックスキューが目標値以下であるか否かが判定される（S4）。

【0008】

ステップS4の判定において、クロックスキューが目標値以下でない場合には、一部のドライバ素子を駆動能力および入力容量の異なる別のドライバ素子へ置き換えることにより、クロックスキューが調整される（S5）。その後、ドライバ素子の置き換えにともなって必要となる配置配線の修正が行われ（S6）、再度、クロックスキューが目標値以下であるか否かが判定される（S3, S4）。ステップS4の判定において、クロックスキューが目標値以下となった場合には、処理は終了する。このように、従来の技術では、駆動能力および入力容量が異なるドライバ素子の間で置換を行うことによってクロックスキューの調整が行われる。

【0009】

【発明が解決しようとする課題】

ところで、上記した従来技術では、ドライバ素子が入力容量の異なる別のドライバ素子に置き換えられるので、その前段の回路からみた回路特性が変化する。その結果、ドライバ素子の置き換えにともなって、前段の回路をも修正することが必要となる場合がある。また、一般に入力端（すなわち入力ピン）および出力端（すなわち出力ピン）のレイアウト位置が異なるドライバ素子への置換が行われるので、ドライバ素子の置換にともなって、配線の修正も必要となる。このように、ドライバ素子の置き換えを行うたびに、配置配線の大幅な修正が必要になる場合があり、それによって設計に要する時間が増大するという問題点があった。さらに加えて、配置配線の修正にともなって、クロックスキューの要因が変更されるので、クロックスキューの高精度の調整が困難であるという問題点があった。

【0010】

この発明は、従来の技術における上記した問題点を解消するためになされたもので、クロックスキューの調整を高精度かつ容易に行うことを可能にするクロック分配回路の配置配線方法、クロック分配回路の製造方法、半導体装置の製造方法、クロック分配回路、および半導体装置を得ることを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

第1の発明の方法は、クロックを受信し負荷回路へ供給するクロック分配回路の配置配線方法であって、(a) 前記クロック分配回路を構成し入力容量が共通する素子群を仮に配置配線する工程と、(b) クロックスキューの評価値が目標値以下となるまで、前記素子群に属する素子を、駆動能力が異なる複数のドライバ素子、出力端が開放されたドライバ素子、および入力端と安定電位線の間介挿される容量素子、から成る群から選択され互いに入力容量が共通する複数の素子の間で選択的に置換する工程と、を備える。

【 0 0 1 2 】

第2の発明の方法では、第1の発明のクロック分配回路の配置配線方法において、前記工程(b) が、前記クロックスキューの前記評価値が前記目標値以下となるまで、前記素子群に属する素子を、ドライバ素子と、当該ドライバ素子と同一で出力端が開放されたドライバ素子との間で、選択的に置換する。

【 0 0 1 3 】

第3の発明の方法では、第1の発明のクロック分配回路の配置配線方法において、前記工程(b) が、前記クロックスキューの前記評価値が前記目標値以下となるまで、前記素子群に属する素子を、入力容量が共通するドライバ素子と、入力端と安定電位線の間介挿される容量素子との間で、選択的に置換する。

【 0 0 1 4 】

第4の発明の方法では、第1の発明のクロック分配回路の配置配線方法において、前記工程(b) が、前記クロックスキューの前記評価値が前記目標値以下となるまで、前記素子群に属する素子を、互いに駆動能力が異なり入力容量が共通するとともに入力端と出力端の位置が共通する複数のドライバ素子の間で選択的に置換する。

【 0 0 1 5 】

第5の発明の方法は、クロックを受信し負荷回路へ供給するクロック分配回路の配置配線方法であって、(a) 前記クロック分配回路を構成し入力端と出力端の位置が共通するドライバ素子群を仮に配置配線する工程と、(b) クロックスキュー

一の評価値が目標値以下となるまで、前記ドライバ素子群に属するドライバ素子を、駆動能力が異なり入力端と出力端の位置が共通する複数のドライバ素子の間で選択的に置換する工程と、を備える。

【 0 0 1 6 】

第 6 の発明の方法は、クロック分配回路の製造方法であって、(A) 第 1 ないし第 5 のいずれかの発明のクロック分配回路の配置配線方法を用いてクロック分配回路を配置配線する工程と、(B) 前記工程で配置配線された前記クロック分配回路を、半導体基板へ作り込む工程と、を備える。

【 0 0 1 7 】

第 7 の発明の方法は、半導体装置の製造方法であって、(A) 第 1 ないし第 5 のいずれかの発明のクロック分配回路の配置配線方法を用いてクロック分配回路を配置配線する工程と、(B) 前記工程で配置配線された前記クロック分配回路と、当該クロック分配回路によるクロックの供給を受ける負荷回路とを、半導体基板へ作り込む工程と、を備える。

【 0 0 1 8 】

第 8 の発明の装置は、クロックを受信し負荷回路へ供給するクロック分配回路であって、駆動能力が異なる複数のドライバ素子、出力端が開放されたドライバ素子、および入力端と安定電位線の間介挿される容量素子、から成る群から選択され互いに入力容量が共通する複数の素子を備える。

【 0 0 1 9 】

第 9 の発明の装置では、第 8 の発明のクロック分配回路において、前記複数の素子が、ドライバ素子と、当該ドライバ素子と同一で出力端が開放されたドライバ素子とを含んでいる。

【 0 0 2 0 】

第 1 0 の発明の装置では、第 8 の発明のクロック分配回路において、前記複数の素子が、入力容量が共通するドライバ素子と、入力端と安定電位線の間介挿される容量素子とを含んでいる。

【 0 0 2 1 】

第 1 1 の発明の装置では、第 8 の発明のクロック分配回路において、前記複数

の素子が、互いに駆動能力が異なり入力容量が共通するとともに入力端と出力端の位置が共通する複数のドライバ素子を含んでいる。

【 0 0 2 2 】

第 1 2 の発明の装置は、クロックを受信し負荷回路へ供給するクロック分配回路であって、駆動能力が異なり入力端と出力端の位置が共通する複数のドライバ素子を備える。

【 0 0 2 3 】

第 1 3 の発明の装置は、半導体装置であって、第 8 ないし第 1 2 のいずれかの発明のクロック分配回路と、前記クロック分配回路によるクロックの供給を受ける負荷回路と、を備える。

【 0 0 2 4 】

【発明の実施の形態】

実施の形態 1.

図 1 は、実施の形態 1 によるクロック分配回路の配置配線方法の手順を示すフローチャートである。この方法では、まずクロック分配回路の回路設計が行われ（S 1）、つぎにクロック分配回路を含むチップ全体の配置配線が行われる（S 2）。ステップ S 2 の段階では、クロック分配回路の配置配線は、仮の配置配線である。この段階のクロック分配回路は、例えば図 1 0 に示したクロック分配回路と同等である。図 1 0 では、クロック分配回路は一括駆動方式を採用しており、メインドライバ回路 2 に属するすべてのドライバ素子の出力が短絡している。

【 0 0 2 5 】

つづいて、クロックスキューの値が計算（すなわち評価）され（S 3）、計算されたクロックスキュー（すなわち評価値）が目標値以下であるか否かが判定される（S 4）。ステップ S 4 の判定において、クロックスキューが目標値以下でない場合には、一部のドライバ素子の出力を選択的に切断することにより、クロックスキューが調整される（S 5 1）。すなわち、記憶素子等の負荷回路の素子の不均一性、あるいは配線容量の不均一性等を考慮することにより、駆動能力が必要以上に大きいドライバ素子の出力を切断して、不必要な駆動能力を削減することにより、クロックスキューの調整が行われる。

【0026】

その後、クロックスキューが目標値以下であるか否かが再度判定される（S3，S4）。ステップS4の判定において、クロックスキューが目標値以下となった場合には、処理は終了する。図2は、処理が終了した後のクロック分配回路の構成を例示する回路図である。図2では、メインドライバ回路2に属するドライバ素子4g，4hの出力が切断されている。

【0027】

図1に戻って、ステップS51では、一旦切断されたドライバ素子の出力が接続される場合も有り得る。また、ステップS2では、図10のクロック分配回路に代えて、一部のドライバ素子が切断されているクロック分配回路、例えば図2のクロック分配回路を、仮の配置配線後のクロック分配回路としてもよい。

【0028】

なお、ドライバ素子の出力を切断するとは、ドライバ素子の出力端に接続される配線を除去ないし切断することである。それは同時に、ドライバ素子を、出力端が開放された同一構造および同一形状のドライバ素子へ置換することと等価でもある。したがって、ステップS51の処理は、ドライバ素子と、当該ドライバ素子と同一構造および同一形状で出力端が開放された別のドライバ素子との間で、置換を行うことと等価である。

【0029】

ステップS51の前後において、出力が切断または接続されるドライバ素子の入力容量には変化がない。したがって、出力が切断または接続されるドライバ素子が、例えば図2のメインドライバ回路2に属する場合に、プリドライバ回路1から見たメインドライバ回路2の入力容量の分布に変化はない。このため、ステップS51の処理の対象とされるドライバ素子の前段の回路、例えばプリドライバ回路1を、ステップS51の処理にともなって変更する必要がない。なお、ステップS51の処理の対象とされるドライバ素子は、図2の例において、メインドライバ回路2に属するドライバ素子に限る必要はなく、プリドライバ回路1に属するドライバ素子であってもよい。

【0030】

また、ステップ S 5 1 では、ドライバ素子の切断または接続のみ、言い換えると出力端が接続されたドライバ素子と開放された同一のドライバ素子との間での置換のみが行われるので、クロック分配回路の配線の変更をほとんど必要としない。

【 0 0 3 1 】

以上のように、本実施の形態の方法によれば、出力を切断ないし接続したドライバ素子の前段の回路を変更する必要がなく、また、クロック配線（すなわち、クロック分配回路に属する配線）もほとんど変更を要しないため、クロック分配回路の配置配線を、短時間で容易に完了することができる。また、クロックスキューに影響を与える配置配線にほとんど変更がないため、高精度でクロックスキューの調整を行うことが可能となるとともに、クロックスキューの調整のための試行数、すなわちステップ S 3, S 4, S 5 1 のループを反復する回数を削減することができ、それによりクロックスキューの調整に要する時間を短縮することが可能となる。

【 0 0 3 2 】

従来技術に関してすでに述べたように、本来から云えば、負荷回路の配置配線を先に行い、その後にクロック分配回路を設計するのが望ましい。そこで、図 1 の手順に代えて、図 3 のフローチャートが示すように、負荷回路の配置のみを先に行っておき（S 2 1）、その後にクロック分配回路の設計を行い（S 1）、さらにその後、クロック分配回路の配置配線および負荷回路の配線を行っても良い（S 2 2）。

【 0 0 3 3 】

図 1 または図 3 の処理は、コンピュータ上で行われる処理であり、半導体プロセスを通じて、図 1 または図 3 の処理の結果を半導体基板に反映させることによって、実機としての半導体装置が完成する。図 4 は、その手順の概略を示すフローチャートである。半導体装置を製造するには、まず負荷回路の設計が行われ（S 1 0 0）、その後、図 1 または図 3 に示した処理が実行される（S 1 0 1）。つづいて、半導体基板へ各種の処理を行う半導体プロセスが実行される（S 1 0 2）。

【 0 0 3 4 】

この半導体プロセスでは、図 1 または図 3 の処理を通じて配置配線されたクロック分配回路と、このクロック分配回路によりクロックの供給を受ける負荷回路とが、半導体基板に作り込まれる。それによって、クロックスキューが高精度に調整された半導体装置を得ることができる。半導体基板は、バルクの半導体基板に限られず、例えば S O I 基板であってもよい。

【 0 0 3 5 】

実施の形態 2.

図 5 は、実施の形態 2 によるクロック分配回路の配置配線方法の手順を示すフローチャートである。この方法は、ステップ S 4 の判定において、クロックスキューが目標値以下でない場合には、一部のドライバ素子をその入力容量と等しい容量を有する容量素子に置換することにより、クロックスキューが調整される（S 5 2）点において、図 1 に示した方法とは特徴的に異なる。

【 0 0 3 6 】

図 6 は、例えば図 1 0 の回路を仮の配置配線（S 2）の後のクロック分配回路とした場合に、図 5 の処理が終了した後のクロック分配回路の構成を例示する回路図である。図 6 では、メインドライバ回路 2 に属する 2 個のドライバ素子 4 g , 4 h が、容量素子 4 3 a , 4 3 b へ置換されている。ドライバ素子 4 g , 4 h の代わりに配置される容量素子 4 3 a , 4 3 b は、安定電位線と、ドライバ素子が置かれた場合の入力端との間に介挿される。安定電位線とは、電源電位線との間に一定の電位差を保持する配線、または電源電位線そのものであり、図 6 には電源電位線的一方としての接地電位線である例が描かれている。

【 0 0 3 7 】

ステップ S 5 2 では、一旦置換された容量素子が再度ドライバ素子へ置換される場合も有り得る。また、ステップ S 2 では、図 1 0 のクロック分配回路に代えて、一部のドライバ素子が容量素子に置換されているクロック分配回路、例えば図 6 のクロック分配回路を、仮の配置配線後のクロック分配回路としてもよい。したがって、ステップ S 5 2 は、入力容量が共通するドライバ素子と、入力端と安定電位線の間に介挿される容量素子との間で、クロック分配回路に属する素子

を選択的に置換する工程であると、一般的に表現することができる。

【 0 0 3 8 】

実施の形態 1 のステップ S 5 1 と同様に、ステップ S 5 2 の前後においても、互いに置換される素子の入力容量には変化がない。したがって、置換される素子が、例えば図 6 のメインドライバ回路 2 に属する場合に、プリドライバ回路 1 から見たメインドライバ回路 2 の入力容量の分布に変化はない。また、ステップ S 5 2 では、ドライバ素子と容量素子との間の置換のみが行われるので、クロック分配回路の配線の変更をほとんど必要としない。なお、ステップ S 5 2 で置換される素子は、図 6 の例において、メインドライバ回路 2 に属する素子に限る必要はなく、プリドライバ回路 1 に属する素子であってもよい。

【 0 0 3 9 】

以上のように、本実施の形態の方法によれば、置換される素子の前段の回路を変更する必要がなく、また、クロック配線もほとんど変更を要しないため、クロック分配回路の配置配線を、短時間で容易に完了することができる。また、クロックスキューに影響を与える配置配線にほとんど変更がないため、高精度でクロックスキューの調整を行うことが可能となるとともに、クロックスキューの調整のための試行数、すなわちステップ S 3, S 4, S 5 2 のループを反復する回数を削減することができ、それによりクロックスキューの調整に要する時間を短縮することが可能となる。さらに、容量素子では、ドライバ素子と異なり、貫通電流が流れないので、実施の形態 1 のクロック分配回路に比べて、消費電流を節減することができる。

【 0 0 4 0 】

なお、図 5 のステップ S 1, S 2 の処理を、実施の形態 1 の図 3 のステップ S 2 1, S 1, S 2 2 へ置換することも当然に可能である。また、実施の形態 1 の図 4 において、ステップ S 1 0 1 の処理として、図 5 の処理を実行することにより、図 5 の処理の結果を反映したクロック分配回路とそのクロックの供給を受ける負荷回路とを備える半導体装置を製造することが可能である。

【 0 0 4 1 】

実施の形態 3.

図 7 は、実施の形態 3 によるクロック分配回路の配置配線方法の手順を示すフローチャートである。この方法は、ステップ S 4 の判定において、クロックスキューが目標値以下でない場合には、一部のドライバ素子を、駆動能力が異なり入出力端のレイアウト位置が共通する別のドライバ素子へ置換することにより、クロックスキューが調整される（S 5 3）点において、図 1 に示した方法とは特徴的に異なる。

【 0 0 4 2 】

図 8 は、例えば図 1 0 の回路を仮の配置配線（S 2）の後のクロック分配回路とした場合に、図 7 の処理が終了した後のクロック分配回路の構成を例示する回路図である。図 8 では、メインドライバ回路 2 に属する 2 個のドライバ素子 4 d，4 e が、駆動能力の高い別のドライバ素子 4 1 a，4 1 b へ置換されており、さらに別の 2 個のドライバ素子 4 g，4 h が、駆動能力の低い別のドライバ素子 4 2 a，4 2 b へ置換されている。

【 0 0 4 3 】

ステップ S 5 3 では、一旦置換されたドライバ素子が、再度元のドライバ素子へ置換される場合も有り得る。また、ステップ S 2 では、図 1 0 のクロック分配回路に代えて、一部のドライバ素子が別のドライバ素子に置換されているクロック分配回路、例えば図 8 のクロック分配回路を、仮の配置配線後のクロック分配回路としてもよい。したがって、ステップ S 5 3 は、互いに駆動能力が異なり入力容量が共通するとともに入力端と出力端の位置が共通する複数のドライバ素子の間で、クロック分配回路に属する素子を選択的に置換する工程であると、一般的に表現することができる。

【 0 0 4 4 】

実施の形態 1 のステップ S 5 1 と同様に、ステップ S 5 3 の前後においても、互いに置換される素子の入力容量には変化がない。したがって、置換される素子が、例えば図 8 のメインドライバ回路 2 に属する場合に、ブリドライバ回路 1 から見たメインドライバ回路 2 の入力容量の分布に変化はない。また、ステップ S 5 3 では、入力端と出力端のレイアウト位置が共通するドライバ素子の間での置換のみが行われるので、クロック分配回路の配線の変更を全く必要としない。な

お、ステップ S 5 3 で置換される素子は、図 8 の例において、メインドライバ回路 2 に属する素子に限る必要はなく、プリドライバ回路 1 に属する素子であってもよい。

【 0 0 4 5 】

以上のように、本実施の形態の方法によれば、置換される素子の前段の回路を変更する必要がなく、また、クロック配線の変更も要しないため、クロック分配回路の配置配線を、短時間で容易に完了することができる。また、クロックスキューに影響を与える配置配線にほとんど変更がないため、高精度でクロックスキューの調整を行うことが可能となるとともに、クロックスキューの調整のための試行数、すなわちステップ S 3, S 4, S 5 3 のループを反復する回数を削減することができ、それによりクロックスキューの調整に要する時間を短縮することが可能となる。

【 0 0 4 6 】

さらに、駆動能力が様々に異なるドライバ素子の間で置換を行うことにより、木目の細かいクロックスキューの調整が可能となる。すなわち、クロックスキューの調整を、さらに高い精度で行い得るという利点が得られる。

【 0 0 4 7 】

なお、図 7 のステップ S 1, S 2 の処理を、実施の形態 1 の図 3 のステップ S 2 1, S 1, S 2 2 へ置換することも当然に可能である。また、実施の形態 1 の図 4 において、ステップ S 1 0 1 の処理として、図 7 の処理を実行することにより、図 7 の処理の結果を反映したクロック分配回路とそのクロックの供給を受ける負荷回路とを備える半導体装置を製造することが可能である。

【 0 0 4 8 】

さらに、ステップ S 5 3 において、互いに駆動能力が異なり入力容量が共通する複数のドライバ素子の間で、クロック分配回路に属する素子を選択的に置換してもよい。すなわち、置換されるドライバ素子の間で、入力端と出力端の位置が必ずしも共通しなくてもよい。それによっても、置換されるドライバ素子の間で入力容量が共通することに由来する利点は得られる。

【 0 0 4 9 】

同様に、ステップ S 5 3 において、互いに駆動能力が異なり入力端と出力端の位置が共通する複数のドライバ素子の間で、クロック分配回路に属する素子を選択的に置換してもよい。すなわち、置換されるドライバ素子の間で、入力容量が必ずしも共通しなくてもよい。それによっても、置換されるドライバ素子の間で入力端と出力端の位置が共通することに由来する利点は得られる。

【 0 0 5 0 】

実施の形態 4.

図 7 に示した実施の形態 3 の方法は、図 1 0 および図 8 に例示する一括駆動方式のクロック分配回路だけでなく、クロックツリー方式のクロック分配回路にも適用可能である。図 9 は、図 7 の仮の配置配線 (S 2) の後のクロック分配回路としてクロックツリー方式のクロック分配回路を設定した場合に、図 7 の処理が終了した後のクロック分配回路の構成を例示する回路図である。

【 0 0 5 1 】

図 9 のクロック分配回路では、複数のドライバ素子がツリー状に縦列接続されており、負荷回路 3 に属する素子は、メインドライバ回路部 2 に属するドライバ素子ごとに負荷が均等となるように割り当てられている。そして図 9 の例では、図 7 の処理の結果、メインドライバ回路 2 に属する 1 個のドライバ素子が、駆動能力の高い別のドライバ素子 4 1 a へ置換されており、さらに別の 1 個のドライバ素子が、駆動能力の低い別のドライバ素子 4 2 a へ置換されている。

【 0 0 5 2 】

なお、適用対象がクロックツリー方式のクロック分配回路である場合においても、図 7 のステップ S 1 , S 2 の処理を、実施の形態 1 の図 3 のステップ S 2 1 , S 1 , S 2 2 へ置換することは当然に可能である。また、実施の形態 1 の図 4 において、ステップ S 1 0 1 の処理として、図 7 の処理を実行することにより、図 7 の処理の結果を反映したクロックツリー方式のクロック分配回路とそのクロックの供給を受ける負荷回路とを備える半導体装置を製造することも可能である。

【 0 0 5 3 】

さらに、適用対象がクロックツリー方式のクロック分配回路である場合におい

ても、ステップ S 5 3 で、互いに駆動能力が異なり入力容量が共通する複数のドライバ素子の間で、クロック分配回路に属する素子を選択的に置換すること、あるいは、互いに駆動能力が異なり入力端と出力端の位置が共通する複数のドライバ素子の間で、クロック分配回路に属する素子を選択的に置換することが可能である。

【 0 0 5 4 】

変形例。

実施の形態 1 ～ 4 におけるステップ S 5 1 ～ S 5 3 は、一つのクロック分配回路の配置配線を行う中で、互いに同時にあるいは選択的に実施することも可能である。すなわち、一般に図 1 または図 3 のステップ S 5 1 を反復的に実行する際に、ステップ S 5 1 に代えて、ステップ S 5 1 ～ S 5 3 のいずれかを選択的に実行してもよく、あるいはステップ S 5 1 ～ S 5 3 を同時に実行しても良い。同時に実行するとは、例えば、あるドライバ素子は容量素子へ置換すると同時に、別のあるドライバ素子は駆動能力の高いドライバ素子へ置換するなどの処理を行うことを意味する。

【 0 0 5 5 】

ステップ S 5 1 ～ S 5 3 をさらに一般化したこのような処理は、駆動能力が異なる複数のドライバ素子、出力端が開放されたドライバ素子、および入力端と安定電位線の間介挿される容量素子、から成る群から選択され互いに入力容量が共通する複数の素子の間で、クロック分配回路に属する素子を選択的に置換する工程であると、表現することができる。このような一般的な処理では、選択の幅が広いという利点があるものの、実施の形態 1 ～ 4 の各形態の方法では、処理がより簡素であり、クロックスキューの調整を、より容易かつ短時間に行い得るという利点を得られる。

【 0 0 5 6 】

【発明の効果】

第 1 の発明の方法では、駆動能力が異なり入力容量が共通する素子の間で置換を行うことによってクロックスキューの調整が行われるので、置換される素子の前段の回路への影響を排除して、容易かつ高精度にクロックスキューの調整が行

われ得る。

【 0 0 5 7 】

第2の発明の方法では、ドライバ素子と、当該ドライバ素子と同一で出力端が開放されたドライバ素子との間で置換を行うこと、言い換えると、ドライバ素子の出力端に接続される配線を選択的に切断または接続することによってクロックスキューの調整が行われるので、配置配線の変更をほとんどともなうことなく、容易かつ短時間にクロックスキューの調整が行われ得る。

【 0 0 5 8 】

第3の発明の方法では、入力容量が共通するドライバ素子と容量素子との間で、置換を行うことによってクロックスキューの調整が行われるので、配置配線の変更をほとんどともなうことなく、容易かつ短時間にクロックスキューの調整が行われ得る。しかも、クロックの伝達に寄与しない素子として、貫通電流を要しない容量素子が用いられるので、消費電流を節減することができる。

【 0 0 5 9 】

第4の発明の方法では、駆動能力が異なり互いに入力容量が共通するとともに入力端と出力端の位置が共通する複数のドライバ素子の間で、置換を行うことによってクロックスキューの調整が行われるので、配置配線の変更をほとんどともなうことなく、容易かつ短時間に、さらに高精度でクロックスキューの調整が行われ得る。また、クロックツリー型を含む幅広いクロック分配回路に対しても適用が可能である。

【 0 0 6 0 】

第5の発明の方法では、駆動能力が異なり入力端と出力端の位置が共通する複数のドライバ素子の間で、置換を行うことによってクロックスキューの調整が行われるので、配置配線の変更をほとんどともなうことなく、容易かつ短時間にクロックスキューの調整が行われ得る。また、クロックツリー型を含む幅広いクロック分配回路に対しても適用が可能である。

【 0 0 6 1 】

第6の発明の方法では、第1ないし第5のいずれかの発明の方法を用いて配置配線されたクロック分配回路が、半導体基板へ作り込まれることによって、クロ

ック分配回路が製造されるので、クロックスキューが高精度に調整されたクロック分配回路を得ることができる。

【 0 0 6 2 】

第 7 の発明の方法では、第 1 ないし第 5 のいずれかの発明の方法を用いて配置配線されたクロック分配回路と、それによりクロックの供給を受ける負荷回路とが、半導体基板へ作り込まれることによって、半導体装置が製造されるので、クロックスキューが高精度に調整された半導体装置を得ることができる。

【 0 0 6 3 】

第 8 の発明の装置では、駆動能力が異なり入力容量が共通する複数の素子が混在するので、高精度に調整がなされたクロックスキューを実現することができる。

【 0 0 6 4 】

第 9 の発明の装置では、ドライバ素子と、当該ドライバ素子と同一で出力端が開放されたドライバ素子とが混在するので、簡単な構造で高精度に調整がなされたクロックスキューを実現することができる。

【 0 0 6 5 】

第 1 0 の発明の装置では、入力容量が共通するドライバ素子と容量素子とが混在するので、簡単な構造で高精度に調整がなされたクロックスキューを実現することができる。

【 0 0 6 6 】

第 1 1 の発明の装置では、駆動能力が異なり互いに入力容量が共通するとともに入力端と出力端の位置が共通する複数のドライバ素子が混在するので、さらに高い精度で調整がなされたクロックスキューを実現することができる。

【 0 0 6 7 】

第 1 2 の発明の装置では、駆動能力が異なり入力端と出力端の位置が共通する複数のドライバ素子が混在するので、高精度に調整がなされたクロックスキューを実現することができる。

【 0 0 6 8 】

第 1 3 の発明の装置では、第 8 ないし第 1 2 のいずれかの発明のクロック分配

回路と、それによりクロックの供給を受ける負荷回路とが備わるので、クロックスキューが高精度に調整された半導体装置を実現することができる。

【図面の簡単な説明】

- 【図 1】 実施の形態 1 の配置配線方法を示すフローチャートである。
- 【図 2】 実施の形態 1 の配置配線方法の説明図である。
- 【図 3】 実施の形態 1 の配置配線方法の別の例のフローチャートである。
- 【図 4】 実施の形態 1 の半導体装置の製造方法のフローチャートである。
- 【図 5】 実施の形態 2 の配置配線方法を示すフローチャートである。
- 【図 6】 実施の形態 2 の配置配線方法の説明図である。
- 【図 7】 実施の形態 3 の配置配線方法を示すフローチャートである。
- 【図 8】 実施の形態 3 の配置配線方法の説明図である。
- 【図 9】 実施の形態 4 の配置配線方法の説明図である。
- 【図 1 0】 従来の配置配線方法の説明図である。
- 【図 1 1】 従来の配置配線方法の説明図である。
- 【図 1 2】 従来の配置配線方法を示すフローチャートである。

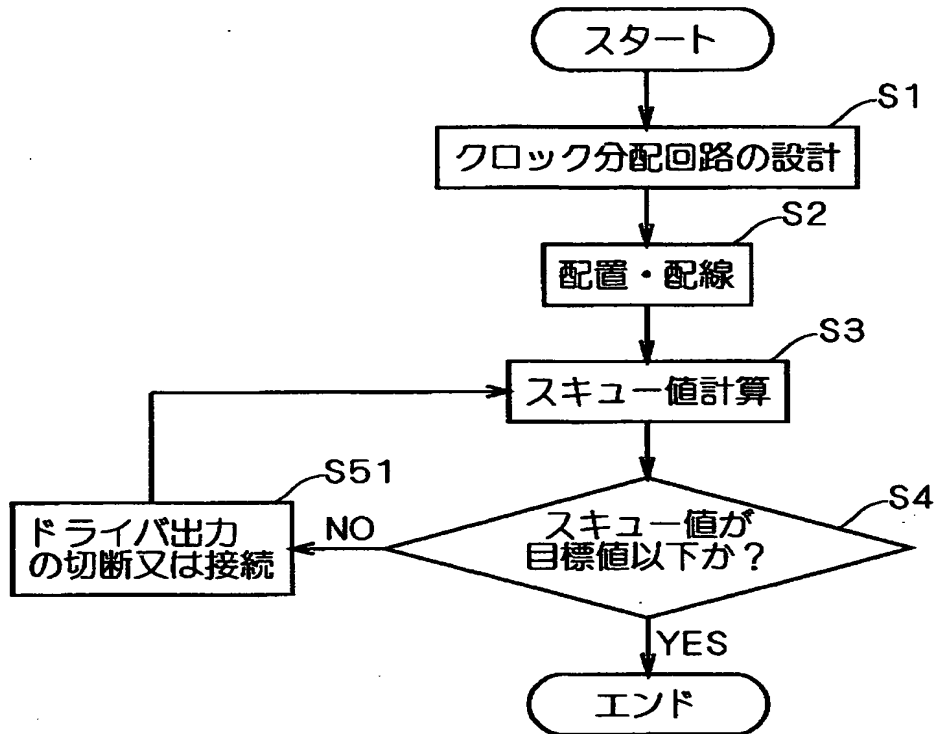
【符号の説明】

3 負荷回路、4 a ~ 4 i, 4 1 a, 4 1 b, 4 2 a, 4 2 b ドライバ素子、4 3 a, 4 3 b 容量素子、CLK クロック。

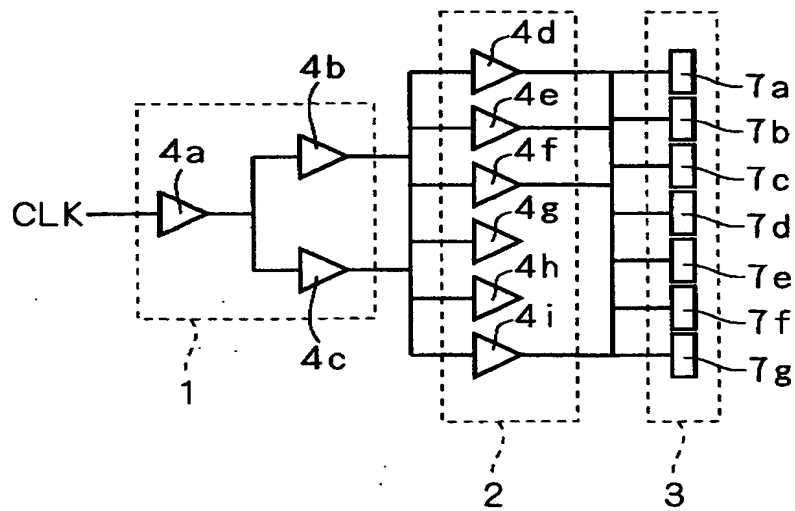
【書類名】

図面

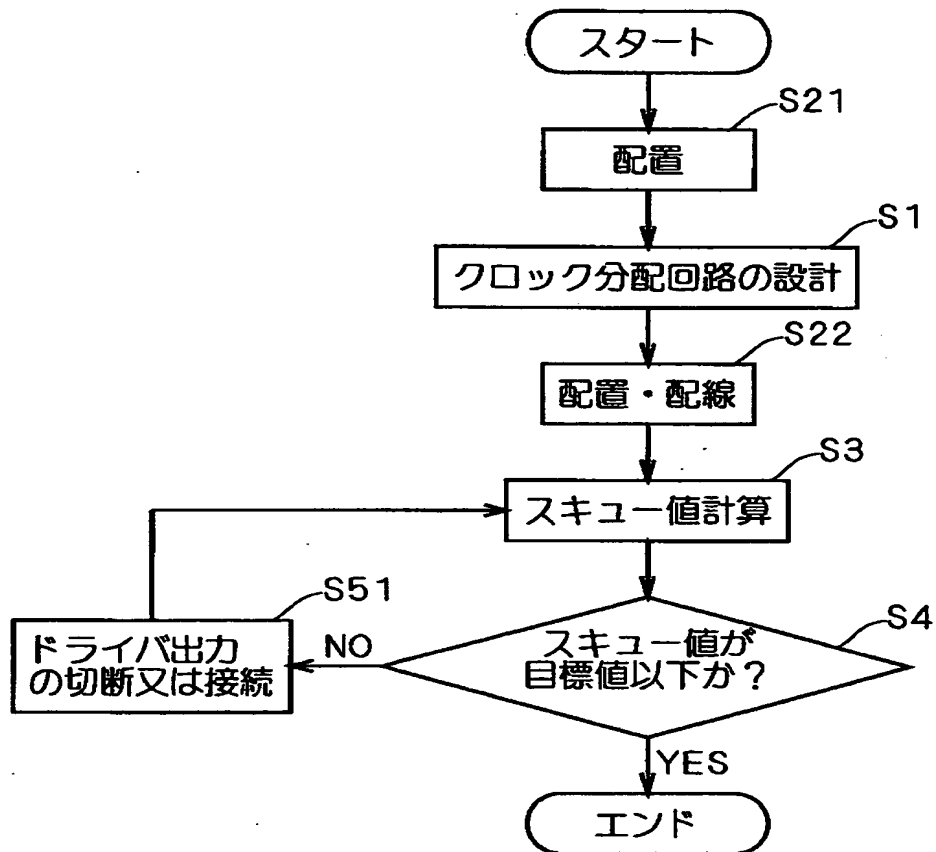
【図 1】



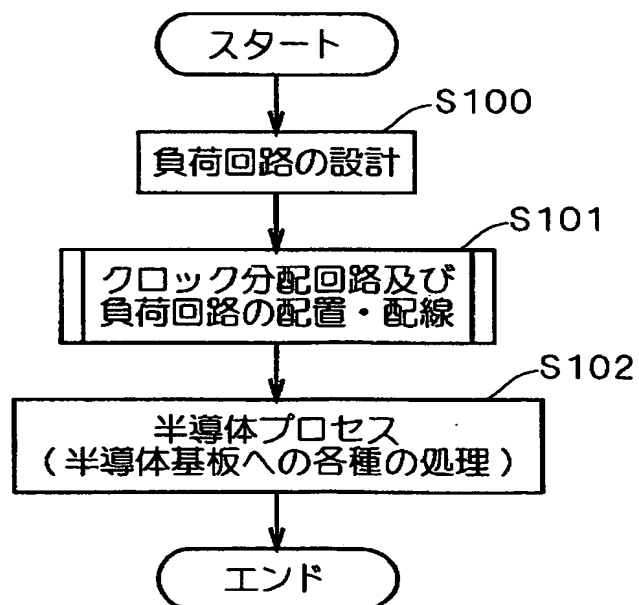
【図 2】



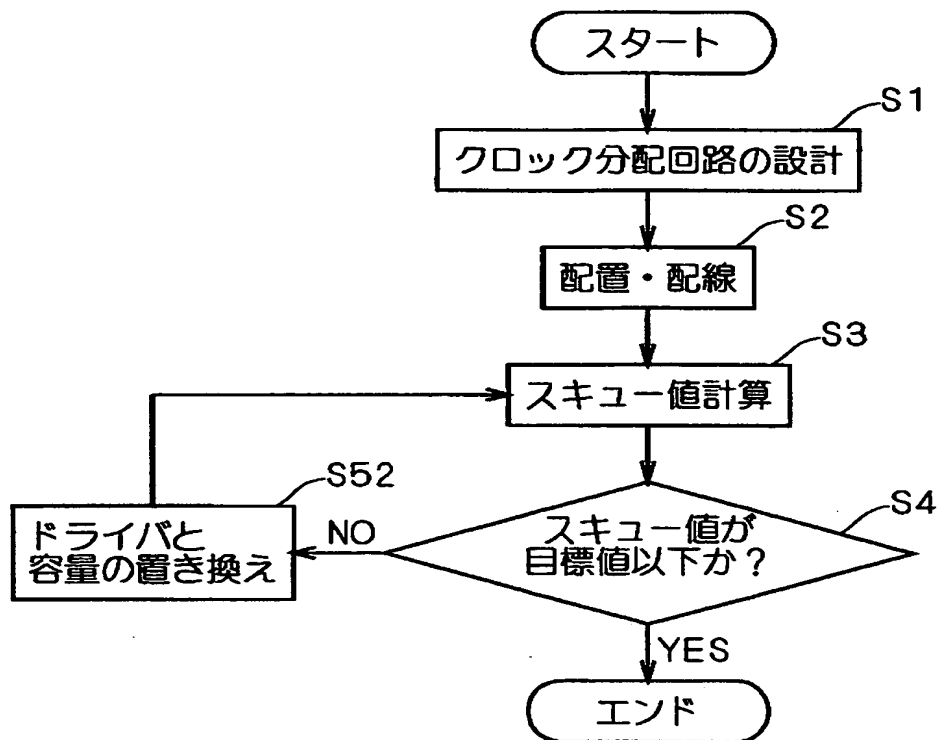
【図3】



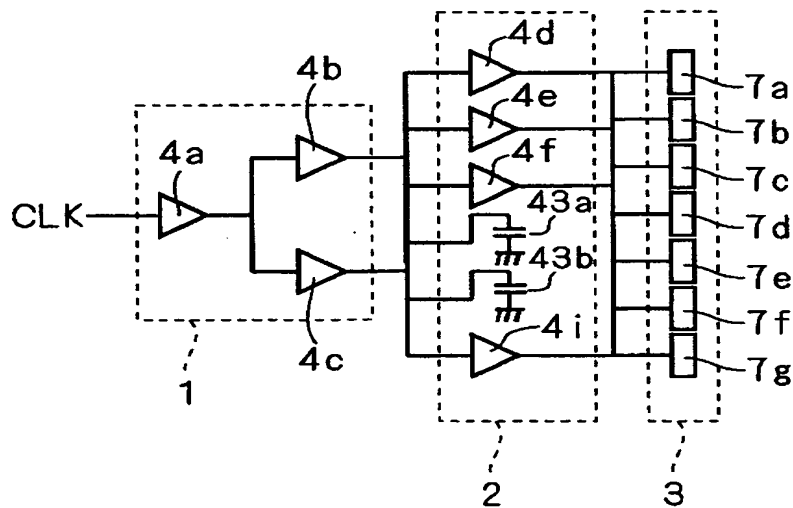
【図4】



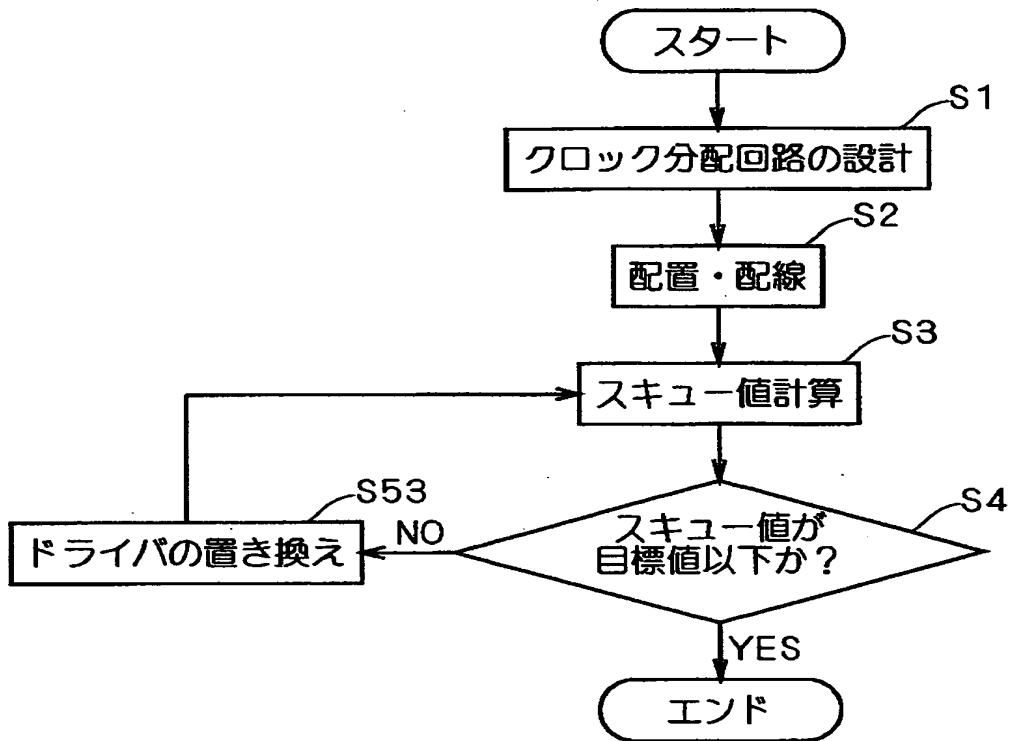
【図 5】



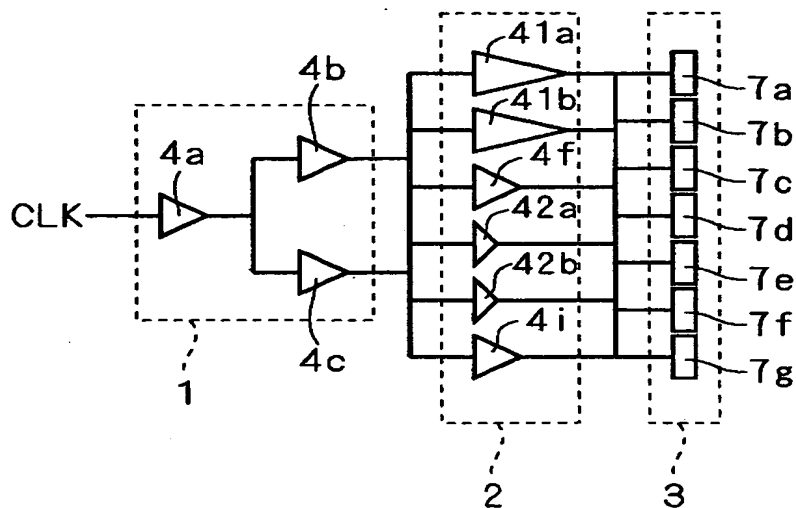
【図 6】



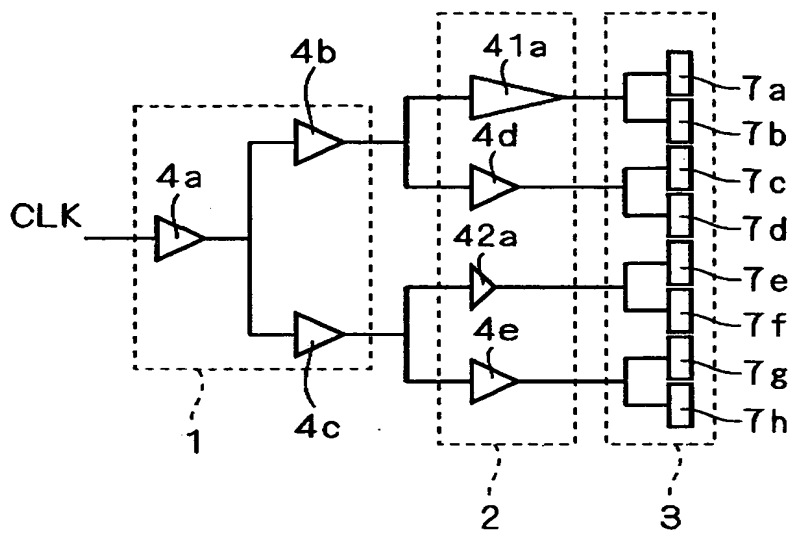
【図 7】



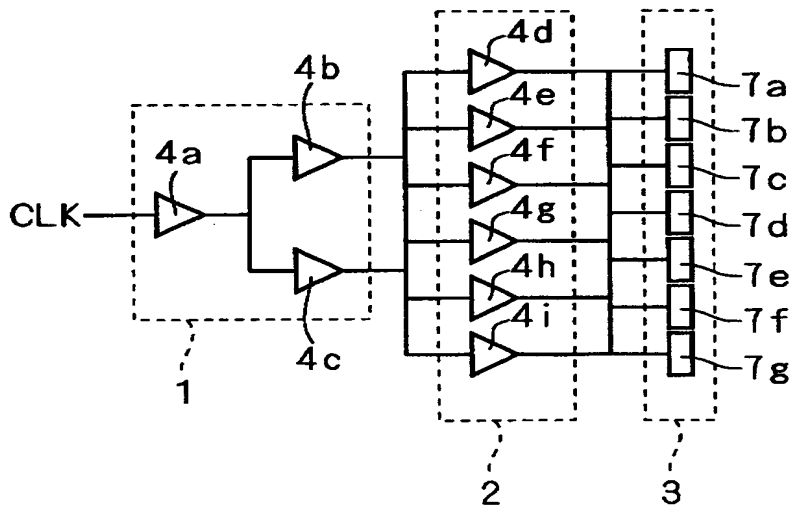
【図 8】



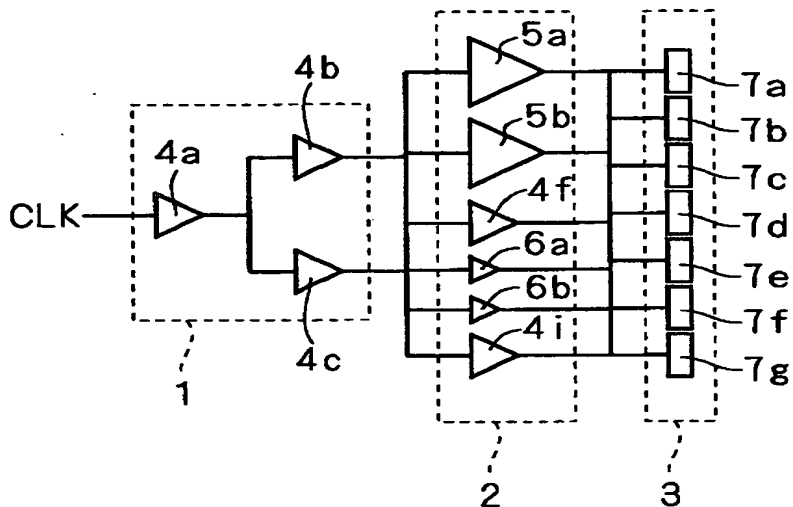
【図 9】



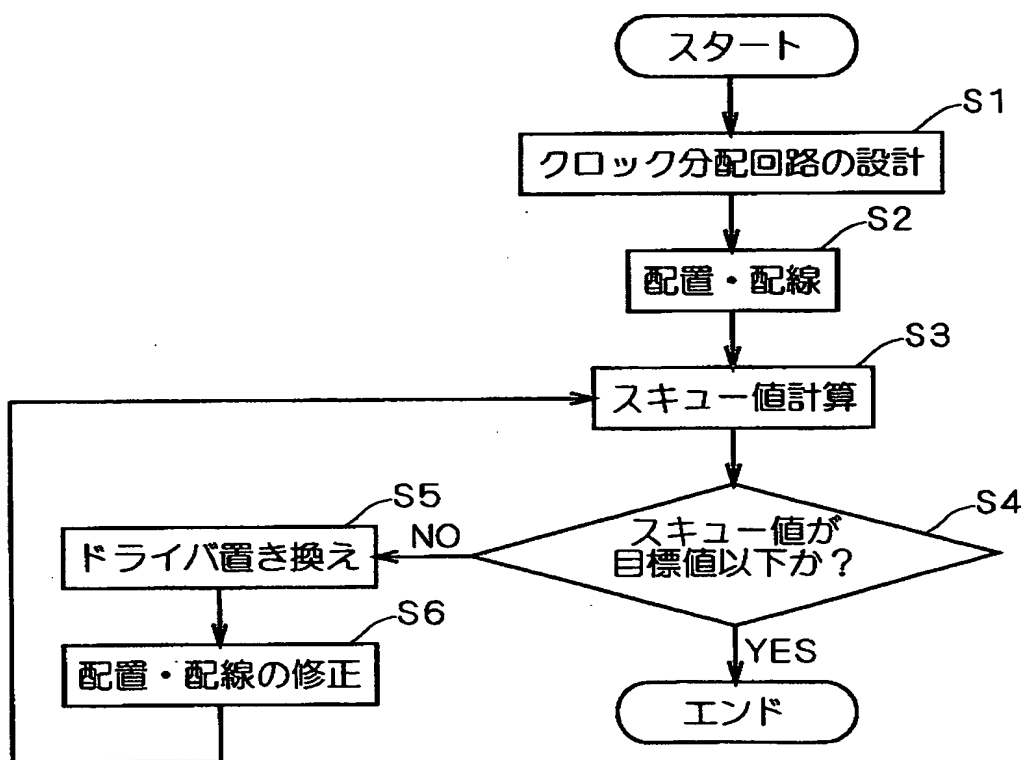
【図 1 0】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 クロックスキューの調整を高精度かつ容易に行うことを可能にする。

【解決手段】 クロック分配回路の回路設計が行われ（S 1）、つぎにクロック分配回路を含むチップ全体の配置配線が行われる（S 2）。つづいて、クロックスキューの値が計算され（S 3）、計算されたクロックスキューが目標値以下であるか否かが判定される（S 4）。クロックスキューが目標値以下でない場合には、一部のドライバ素子の出力を切断または接続することにより、クロックスキューが調整される（S 5 1）。クロックスキューが目標値以下となるまで、ステップ S 3，S 4，S 5 1 の処理が反復される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社